

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: SANG-HYEOP LEE; HEE-KOOK CHOI; and CHEOL-JOON YOO
Application No.: NEW
Filed: February 6, 2004
For: MOLDING METHOD AND MOLD FOR ENCAPSULATING BOTH
SIDES OF PCB MODULE WITH WAFER LEVEL PACKAGE
MOUNTED PCB

PRIORITY LETTER

February 6, 2004

COMMISSIONER FOR PATENTS
P.O. BOX 1450
Alexandria, Virginia 22313-1450

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

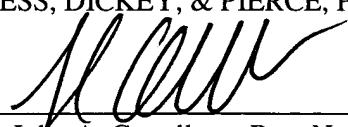
<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
10-2003-0009361	February 14, 2003	REPUBLIC OF KOREA
10-2003-0031152	May 16, 2003	REPUBLIC OF KOREA

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKY, & PIERCE, P.L.C.

By


John A. Castellano, Reg. No. 35,094
P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

JAC: jj



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0009361
Application Number

출원 년 월 일 : 2003년 02월 14일
Date of Application FEB 14, 2003

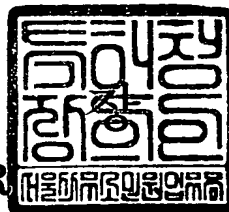
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 19 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0023
【제출일자】	2003.02.14
【국제특허분류】	H01L
【발명의 명칭】	웨이퍼 레벨 패키지가 탑재된 PCB 모듈의 양면 몰딩 방법 및 이에 사용되는 몰드
【발명의 영문명칭】	Two side molding method of PCB Module mounted wafer level package and mold used therein
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	이상협
【성명의 영문표기】	LEE, Sang Hyeop
【주민등록번호】	670217-1411418
【우편번호】	330-190
【주소】	충청남도 천안시 청수동 219-4 현대아파트 101-706
【국적】	KR
【발명자】	
【성명의 국문표기】	최희국
【성명의 영문표기】	CHOI, Hee Kook
【주민등록번호】	590927-1063639

【우편번호】	330-090
【주소】	충청남도 천안시 쌍용동 653번지 모란아파트 3-1001
【국적】	KR
【발명자】	
【성명의 국문표기】	유철준
【성명의 영문표기】	Y00,Cheol Joon
【주민등록번호】	700203-1489614
【우편번호】	330-110
【주소】	충청남도 천안시 다가동 397-8 번지
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	3 면 3,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	8 항 365,000 원
【합계】	397,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

웨이퍼 레벨 패키지가 탑재된 PCB 모듈의 양면 몰딩 방법을 제공한다. 본 발명의 PCB 모듈의 양면 몰딩 방법은 PCB의 상면 및 하면 상에 각각 범퍼가 부착된 웨이퍼 레벨 패키지를 실장하여 PCB 모듈을 마련한다. 상기 PCB 모듈을 에폭시 몰딩 컴파운드가 채워지는 상부 캐비티와 에폭시 몰딩 컴파운드의 주입 통로 역할을 수행하는 상부 게이트를 포함하는 상부 몰드와 상기 상부 몰드의 하부에 에폭시 몰딩 컴파운드가 채워지는 하부 캐비티와 상기 에폭시 몰딩 컴파운드의 주입 통로 역할을 수행하는 하부 게이트를 포함하는 하부 몰드 사이에 장착한다. 상기 하부 게이트 및 상부 게이트에 인접한 컬부를 통하여 에폭시 몰드 컴파운드를 주입(플로우)함으로써 상기 PCB의 하면 및 상면에 각각 위치한 하부 게이트 및 상부 게이트를 통하여 하부 캐비티 및 상부 캐비티에 에폭시 몰드 컴파운드를 채워 양면 몰딩을 완료한다. 이상과 같이 몰딩할 경우 PCB 모듈의 크기가 커지지 않고 PCB 상의 금속 패턴의 레이아웃 구성을 어려움 없이 할 수 있다.

【대표도】

도 10

【명세서】**【발명의 명칭】**

웨이퍼 레벨 패키지가 탑재된 P C B 모듈의 양면 몰딩 방법 및 이에 사용되는 몰드{Two side molding method of PCB Module mounted wafer level package and mold used therein}

【도면의 간단한 설명】

도 1 내지 도 5는 종래 기술에 의해 웨이퍼 레벨 패키지가 실장된 PCB 모듈의 양면 몰딩 방법을 설명하기 위하여 도시한 단면도들이다.

도 6 내지 도 10는 본 발명의 제1 실시예에 의해 웨이퍼 레벨 패키지가 실장된 PCB 모듈의 양면 몰딩 방법을 설명하기 위하여 도시한 단면도들이다.

도 11 내지 도 13는 본 발명의 제2 실시예에 의해 웨이퍼 레벨 패키지가 실장된 PCB 모듈의 양면 몰딩 방법을 설명하기 위하여 도시한 단면도들이다.

도 14 내지 도 17는 본 발명의 제3 실시예에 의해 웨이퍼 레벨 패키지가 실장된 PCB 모듈의 양면 몰딩 방법을 설명하기 위하여 도시한 단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 웨이퍼 레벨 패키지(WLP, Wafer Level Package)가 실장된 PCB(printed Circuit Board, 인쇄회로기판) 모듈의 몰딩 방법 및 이에 사용되는 몰드에 관한 것으로, 보다 상세하게는 웨이퍼 레벨 패키지가 실장된 PCB 모듈의 양면 몰딩 방법 및 이에 사용되는 몰드에 관한 것이다.

- <6> 일반적으로, PCB에 웨이퍼 레벨 패키지를 실장한 PCB 모듈은 외부로부터의 손상을 방지하기 위해 에폭시 몰딩 컴파운드(EMC, epoxy molding compound)로 몰딩을 한다. 상기 PCB 모듈의 몰딩 방법은 웨이퍼 레벨 패키지가 실장된 PCB의 상면과 하면을 한번에 몰딩하는 양면 몰딩 방법과, 웨이퍼 레벨 패키지가 실장된 PCB의 상면과 하면을 각각 별도로 몰딩하는 단면 몰딩 방법이 있다. 상기 양면 몰딩 방법은 PCB 모듈의 상면과 하면을 관통하는 관통홀 및 상하부 게이트로 에폭시 몰딩 컴파운드를 플로우시켜 몰딩하는 방법이다.
- <7> 도 1 내지 도 5는 종래 기술에 의해 웨이퍼 레벨 패키지가 실장된 PCB 모듈의 양면 몰딩 방법을 설명하기 위하여 도시한 단면도들이다.
- <8> 구체적으로, 반도체 칩(10)의 하부에 범퍼(12)가 부착된 웨이퍼 레벨 패키지(14)를 준비한다(도 1). 이어서, 일측에 관통홀(16)이 형성된 PCB(18)를 준비한다(도 2). 일측에 관통홀(16)이 형성된 PCB(18)의 상면 및 하면 상에 범퍼(12)가 부착된 웨이퍼 레벨 패키지(14)를 실장하여 PCB 모듈(20)을 마련한다(도 3).
- <9> 상기 PCB 모듈(20)을 몰드(26) 내에 장착한다. 상기 몰드(26)는 상부 몰드(22) 및 하부 몰드(24)로 구성된다. 상기 상부 몰드(22)는 상부 캐비티(28, upper cavity)를 포함하며, 하부 몰드(24)는 하부 캐비티(30) 및 하부 게이트(32)를 포함한다. 상기 PCB 모듈(20)은 상기 상부 몰드(22) 및 하부 몰드(24) 사이에 장착된다. 특히, 상기 웨이퍼 레벨 패키지(20)는 상부 캐비티(28) 및 하부 캐비티(30) 사이에 위치한다(도 4).
- <10> 상기 하부 몰드(24)의 하부 게이트(32)를 통하여 에폭시 몰드 컴파운드를 주입한다. 이에 따라, 도 4의 화살표로 도시한 바와 같이 하부 게이트(32)를 통하여 하부 캐비티(30)에 에폭시 몰드 컴파운드(34)가 채워지고, 상기 하부 게이트(32) 및 관통홀(16)을 통해 상부 캐비티(28)에 에폭시 몰드 컴파운드(34)가 채워진다(도 5). 상기 상부 몰드(22) 및 하부 몰드(24)

로부터 상기 몰딩된 PCB 모듈(20)을 분리하고 상기 하부 게이트(32)의 잔류 에폭시 몰딩 컴파운드를 제거하면 PCB 모듈 패키지 성형품이 완성된다.

- <11> 그런데, 상기 종래의 PCB 모듈의 양면 몰딩 방법은 PCB의 상면과 하면을 관통하는 관통홀을 위해 관통 영역이 필요하고 이 관통 영역을 확보하기 위해서는 PCB 모듈의 크기가 커지는 문제점이 있다. 특히, 상기 관통 영역에 금속 패턴(금속층)이 존재하지 않아야 하기 때문에 PCB 상의 금속 패턴의 레이아웃 구성에 어려움이 있다. 더하여, 현재 사용중인 규격화된 PCB 모듈은 사용 할 수 없어 신규로 규격화가 필요하다.

【발명이 이루고자 하는 기술적 과제】

- <12> 따라서, 본 발명이 이루고자 하는 기술적 과제는 상기 PCB 상면과 하면을 관통하는 관통홀 없이 웨이퍼 레벨 패키지가 실장된 PCB 모듈의 양면 몰딩 방법을 제공하는 데 있다.
- <13> 또한, 본 발명이 이루고자 하는 다른 기술적 과제는 상기 웨이퍼 레벨 패키지가 실장된 PCB 모듈의 양면 몰딩 방법에 이용되는 몰드를 제공하는 데 있다.

【발명의 구성 및 작용】

- <14> 상기 기술적 과제를 달성하기 위하여, 본 발명의 PCB 모듈의 양면 몰딩 방법은 반도체 칩의 하부에 범퍼가 부착된 웨이퍼 레벨 패키지를 준비한다. 상기 PCB의 상면 및 하면 상에 각각 범퍼가 부착된 웨이퍼 레벨 패키지를 실장하여 PCB 모듈을 마련한다. 상기 PCB 모듈을, 에폭시 몰딩 컴파운드가 채워지는 상부 케비티와 에폭시 몰딩 컴파운드의 주입 통로 역할을 수행하는 상부 게이트를 포함하는 상부 몰드와 상기 상부 몰드의 하부에 에폭시 몰딩 컴파운드가 채워지는 하부 케비티와 상기 에폭시 몰딩 컴파운드의 주입 통로 역할을 수행하는 하부 게이트를 포함하는 하부 몰드 사이에 장착한다. 상기 하부 게이트 및 상부 게이트에 인접한 컬부를

통하여 에폭시 몰드 컴파운드를 주입(플로우)함으로써 상기 PCB의 하면 및 상면에 각각 위치한 하부 게이트 및 상부 게이트를 통하여 하부 케비티 및 상부 케비티에 에폭시 몰드 컴파운드를 채운다. 상기 상부 몰드, 하부 몰드 및 컬부로부터 상기 몰딩된 PCB 모듈을 분리한다. 상기 컬부에 잔류한 에폭시 몰딩 컴파운드를 제거한다.

<15> 상기 범퍼가 부착된 웨이퍼 레벨 패키지는 상부 케비티 및 하부 케비티 사이에 위치하는 것이 바람직하다. 상기 컬부에 잔류한 에폭시 몰딩 컴파운드를 제거한 후 상기 하부 게이트 및 상부 게이트에 잔류한 에폭시 몰딩 컴파운드를 제거하는 것이 바람직하다.

<16> 상기 컬부에 인접한 상기 하부 게이트 및 상부 게이트에 잔류한 에폭시 몰딩 컴파운드는 지그를 이용하여 기계적으로 제거할 수 있다. 상기 하부 게이트 및 상부 게이트에 해당하는 PCB의 일측면에 테이프가 부착된 PCB 모듈을 마련하고, 상기 하부 게이트 및 상부 게이트에 잔류한 에폭시 몰딩 컴파운드는 상기 테이프를 떼어냄으로써 제거할 수 있다. 상기 하부 게이트 및 상부 게이트에 해당하는 PCB의 일측면의 두께가 나머지 본체 두께보다 낮은 PCB 모듈을 마련하고, 상기 하부 게이트 및 상부 게이트에 잔류한 에폭시 몰딩 컴파운드는 제거하지 않을 수도 있다.

<17> 상기 다른 기술적 과제를 달성하기 위하여, 본 발명의 PCB 모듈의 양면 몰딩 방법에 이용되는 몰드는 PCB 상에 범퍼가 부착된 웨이퍼 레벨 패키지를 실장한 PCB 모듈이 위치하고, 에폭시 몰딩 컴파운드가 채워지는 상부 케비티와 에폭시 몰딩 컴파운드의 주입 통로 역할을 수행하는 상부 게이트를 포함하는 상부 몰드를 포함한다. 상기 상부 몰드의 하부에 PCB 상에 범퍼가 부착된 웨이퍼 레벨 패키지를 실장한 PCB 모듈이 위치하고, 에폭시 몰딩 컴파운드가 채워지는 하부 케비티와 상기 에폭시 몰딩 컴파운드의 주입 통로 역할을 수행하는 하부 게이트를 포함하는 하부 몰드를 포함한다.

- <18> 상기 상부 게이트 및 하부 게이트에 인접한 상기 상부 몰드 및 하부 몰드의 일측에는 에폭시 몰딩 컴파운드가 주입되는 컬부가 위치하는 것이 바람직하다.
- <19> 이상과 같이 본 발명은 PCB 상에 관통홀이 차지하는 관통 영역이 없어 PCB 모듈의 크기가 커지지 않고 PCB 상의 금속 패턴의 레이아웃 구성에 어려움이 없다. 더하여, 현재 사용중인 규격화된 PCB 모듈을 사용 할 수 있어 신규로 규격화가 필요하지 않다.
- <20> 이하, 첨부도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 다음에 예시하는 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다. 도면에서 막 또는 영역들의 크기 또는 두께는 명세서의 명확성을 위하여 과장되어진 것이다. 또한, 어떤 막이 다른 막 또는 기판의 "위(상)"에 있다라고 기재된 경우, 상기 어떤 막이 상기 다른 막의 위에 직접 존재할 수도 있고, 그 사이에 제3의 다른 막이 개재될 수도 있다.
- <21> 도 6 내지 도 10는 본 발명의 제1 실시예에 의해 웨이퍼 레벨 패키지가 실장된 PCB 모듈의 양면 몰딩 방법을 설명하기 위하여 도시한 단면도들이다. 특히, 도 8 및 도 9는 본 발명의 PCB 모듈의 양면 몰딩 방법에 적용된 몰드가 도시되어 있다.
- <22> 도 6 및 도 7을 참조하면, 반도체 칩(101)의 하부에 범퍼(103)가 부착된 웨이퍼 레벨 패키지(105)를 준비한다(도 6). PCB(107)의 상면 및 하면 상에 각각 범퍼(101)가 부착된 웨이퍼 레벨 패키지(105)를 실장하여 PCB 모듈(109)을 마련한다(도 7).
- <23> 도 8을 참조하면, 상기 PCB 모듈(109)을 몰드(115) 내에 장착한다. 상기 몰드(115)는 상부 몰드(111) 및 하부 몰드(113)로 구성된다. 상기 상부 몰드(111)는 에폭시 몰딩 컴파운드가

채워지는 상부 케비티(117) 및 에폭시 몰딩 컴파운드의 주입 통로 역할을 하는 상부 게이트(119)를 포함하며, 하부 몰드(113)는 에폭시 몰딩 컴파운드가 채워지는 하부 케비티(121) 및 에폭시 몰딩 컴파운드의 주입 통로 역할을 하는 하부 게이트(123)를 포함한다. 그리고, 상기 상부 게이트(119) 및 하부 게이트(123)에 접하여 상기 상부 몰드(111) 및 하부 몰드(113)의 일 측에 외부의 플런저(미도시, plunger)를 이용하여 에폭시 몰딩 컴파운드가 주입되는 컬부(125, curl part)를 포함한다. 도 8에서, 참조번호 127은 에폭시 몰딩 컴파운드가 주입되는 부분이다.

<24> 상기 PCB 모듈(109)은 상기 상부 몰드(111) 및 하부 몰드(113) 사이에 장착된다. 특히, 상기 범퍼(101)가 부착된 웨이퍼 레벨 패키지(105)는 상부 케비티(117) 및 하부 케비티(119) 사이에 위치한다. 도 8에서는 상부 몰드(111) 및 하부 몰드(113)로 몰드(115)를 구성하는 것으로 설명되어 있으나, 크게 보아서는 상기 상부 몰드(111), 하부 몰드(113) 및 컬부(115)로 몰드를 구성하는 것으로 설명할 수 도 있다.

<25> 도 9를 참조하면, 상기 하부 게이트(123) 및 상부 게이트(119)에 인접한 컬부(125)를 통하여 도 8의 화살표 방향으로 에폭시 몰딩 컴파운드(129)를 주입(플로우)한다. 이렇게 되면, 하부 게이트(123)를 통하여 하부 케비티(121)에 에폭시 몰딩 컴파운드(129)가 채워지고, 상기 상부 게이트(119)를 통하여 상부 케비티(117)에 에폭시 몰딩 컴파운드(129)가 채워진다.

<26> 도 10을 참조하면, 상기 상부 몰드(111), 하부 몰드(113) 및 컬부(125)로부터 상기 몰딩된 PCB 모듈(109)을 분리한다. 이어서, 디게이팅(degating) 공정에 의해 상기 컬부(125)에 잔류한 에폭시 몰딩 컴파운드를 제거한 후 하부 게이트(123), 상부 게이트(119)에 잔류한 에폭시 몰딩 컴파운드를 제거하면 PCB 모듈 패키지 성형품(131)이 완성된다. 상기 하부 게이트(123) 및 상부 게이트(119)에 잔류한 에폭시 몰딩 컴파운드(129)는 다양한 방법을 제거할 수 있다.

본 실시예에서는 하부 게이트(123) 및 상부 게이트(119)에 잔류한 에폭시 몰딩 컴파운드(129)를 지그를 이용하여 기계적으로 제거한다.

<27> 도 11 내지 도 13는 본 발명의 제2 실시예에 의해 웨이퍼 레벨 패키지가 실장된 PCB 모듈의 양면 몰딩 방법을 설명하기 위하여 도시한 단면도들이다. 도 12 및 도 13는 본 발명의 PCB 모듈의 양면 몰딩 방법에 적용된 몰드가 도시되어 있다. 도 11 내지 도 13에서, 도 6 내지 도 10와 동일한 참조번호는 동일한 부재를 나타낸다.

<28> 구체적으로, 본 발명이 제2 실시예에 의한 PCB 모듈의 양면 몰딩 방법은 제1 실시예와 비교하여 상부 게이트(119) 및 하부 게이트(123)에 해당하는 PCB(107)의 일측면에 테이프(201)를 부착한 것을 제외하고는 동일하다. 상기 테이프(201)는 에폭시 몰딩 컴파운드(129)를 주입한 후 상기 테이프(201)를 떼어내어 상부 게이트(119) 및 하부 게이트(123)에 위치한 잔류 에폭시 몰딩 컴파운드(129)를 제거하는 데 사용한다.

<29> 도 11을 참조하면, 도 6과 같이 반도체 칩(101)의 하부에 범퍼(103)가 부착된 웨이퍼 레벨 패키지(109)를 준비한다. PCB(107)의 상면 및 하면 상에 각각 범퍼(103)가 부착된 웨이퍼 레벨 패키지(105)를 실장하여 PCB 모듈(109)을 마련한다. 이어서, 상기 PCB(107)의 상하면의 일측면에 테이프(201)를 부착한다. 상기 테이프(201)는 후에 몰드의 상부 게이트 및 하부 게이트에 대응되는 위치에 부착한다. 결과적으로, 하부 게이트 및 상부 게이트에 대응되는 PCB의 일측면에 테이프가 부착된 PCB 모듈(109)이 준비된다.

<30> 도 12를 참조하면, 상기 테이프(201)가 부착된 PCB 모듈(109)을 몰드(115)에 장착한다. 상기 몰드(115)는 제1 실시예와 동일한 구조의 몰드를 사용하기 때문에 편의상 설명은 생략한다.

- <31> 도 13을 참조하면, 컬부(125)를 통하여 에폭시 몰드 컴파운드(129)를 주입(플로우)한다. 이에 따라, 하부 게이트(123)를 통하여 하부 케비티에 에폭시 몰드 컴파운드(129)가 채워지고, 상기 상부 게이트(119)를 통하여 상부 케비티(117)에 에폭시 몰드 컴파운드(129)가 채워진다.
- <32> 계속하여, 상기 상부 몰드(111), 하부 몰드(113) 및 컬부(125)로부터 상기 몰딩된 PCB 모듈(109)을 분리하고 디게이팅 공정에 의해 상기 컬부(125) 및 하부 게이트(121), 상부 게이트(117)에 잔류한 에폭시 몰딩 컴파운드(129)를 순차적으로 제거한다. 이렇게 되면, 도 10과 같은 PCB 모듈 패키지 성형품(131)이 완성된다. 상기 하부 게이트(123) 및 상부 게이트(119)에 잔류한 에폭시 몰딩 컴파운드(129)는 다양한 방법을 제거할 수 있다. 본 실시예에서는 앞서 설명한 바와 같이 테이프(201)를 떼어내어 상기 상부 게이트(119) 및 하부 게이트(123)에 잔류한 에폭시 몰딩 컴파운드(129)를 제거한다.
- <33> 도 14 내지 도 17는 본 발명의 제3 실시예에 의해 웨이퍼 레벨 패키지가 실장된 PCB 모듈의 양면 몰딩 방법을 설명하기 위하여 도시한 단면도들이다. 도 15 및 도 16는 본 발명의 PCB 모듈의 양면 몰딩 방법에 적용된 몰드가 도시되어 있다. 도 13 내지 도 16에서, 도 6 내지 도 10와 동일한 참조번호는 동일한 부재를 나타낸다.
- <34> 구체적으로, 본 발명이 제3 실시예에 의한 PCB 모듈의 양면 몰딩 방법은 제1 실시예와 비교하여 상부 게이트(119) 및 하부 게이트(123)에 해당하는 부분(301)의 PCB(107)의 두께가 얇게 단차진 것을 제외하고는 동일하다. 도 17에 도시한 바와 같이 상기 얇은 두께 부분(301)에 해당하는 상부 게이트(119) 및 하부 게이트(123)에 위치한 잔류 에폭시 몰딩 컴파운드(129)는 제거하지 않고 남겨둔다.
- <35> 도 14를 참조하면, 반도체 칩(101)의 하부에 범퍼(103)가 부착된 웨이퍼 레벨 패키지(105)를 준비한다. 상기 PCB(107)의 일측면을 얇게 하여 얇은 두께로 된 PCB(109)를 준비한다.

상기 얇은 두께에 해당하는 PCB(107)는 후에 몰드(115)의 상부 게이트(119) 및 하부 게이트(123)에 대응되는 위치에 설치된다. 이어서, 일측면이 얇은 두께로 된 PCB(107)의 상면 및 하면 상에 각각 범퍼(103)가 부착된 웨이퍼 레벨 패키지를 실장하여 PCB 모듈(109)을 마련한다.

<36> 도 15를 참조하면, 상기 일측면이 얇은 두께로 된 PCB 모듈(109)을 몰드(115)에 장착한다. 상기 몰드(115)는 제1 실시예와 동일한 구조의 몰드를 사용하기 때문에 편의상 설명은 생략한다.

<37> 도 16을 참조하면, 컬부(129)를 통하여 도 15의 화살표 방향으로 에폭시 몰드 컴파운드(129)를 주입(플로우)한다. 이에 따라, 하부 게이트(123)를 통하여 하부 캐비티(121)에 에폭시 몰드 컴파운드(129)가 주입되고, 상기 상부 게이트(119)를 통하여 상부 캐비티(117)에 에폭시 몰드 컴파운드(129)가 주입된다.

<38> 도 17을 참조하면, 상기 상부 몰드(111), 하부 몰드(113) 및 컬부(125)로부터 상기 몰딩된 PCB 모듈(109)을 분리하고 디게이팅 공정에 의해 상기 컬부(125)에 잔류한 에폭시 몰딩 컴파운드(129)를 제거하면 PCB 모듈 패키지 성형품(303)이 완성된다. 특히, 본 발명의 제3 실시예에 의한 PCB 모듈 방법은 상기 얇은 두께의 PCB(107) 상의 하부 게이트(123) 및 상부 게이트(119)에 잔류한 에폭시 몰딩 컴파운드(129)는 제거하지 않고 남겨둔다.

【발명의 효과】

<39> 상술한 바와 같이 본 발명의 PCB 모듈의 양면 몰딩 방법은 종래 기술과 비교하여 PCB의 상면과 하면을 관통하는 관통홀을 위한 관통 영역이 필요없어 PCB 모듈의 크기가 커지는 것을 방지할 수 있다.

<40> 더하여, 본 발명의 PCB 모듈의 양면 몰딩 방법은 관통 영역이 없기 때문에 PCB 상의 금속 패턴의 레이아웃 구성에 어려움이 없고, 현재 사용중인 규격화된 PCB 모듈은 모두 사용할 수 있어 신규로 규격화가 필요 없다.

【특허청구범위】**【청구항 1】**

반도체 칩의 하부에 범퍼가 부착된 웨이퍼 레벨 패키지를 준비하는 단계;

PCB 의 상면 및 하면 상에 각각 범퍼가 부착된 웨이퍼 레벨 패키지를 실장하여 PCB 모듈을 마련하는 단계;

상기 PCB 모듈을, 에폭시 몰딩 컴파운드가 채워지는 상부 케비티와 에폭시 몰딩 컴파운드의 주입 통로 역할을 수행하는 상부 게이트를 포함하는 상부 몰드와 상기 상부 몰드의 하부에 에폭시 몰딩 컴파운드가 채워지는 하부 케비티와 상기 에폭시 몰딩 컴파운드의 주입 통로 역할을 수행하는 하부 게이트를 포함하는 하부 몰드 사이에 장착하는 단계;

상기 하부 게이트 및 상부 게이트에 인접한 컬부를 통하여 에폭시 몰드 컴파운드를 주입(플로우)함으로써 상기 PCB의 하면 및 상면에 각각 위치한 하부 게이트 및 상부 게이트를 통하여 하부 케비티 및 상부 케비티에 에폭시 몰드 컴파운드를 채우는 단계;

상기 상부 몰드, 하부 몰드 및 컬부로부터 상기 몰딩된 PCB 모듈을 분리하는 단계; 및

상기 컬부에 잔류한 에폭시 몰딩 컴파운드를 제거하는 단계를 포함하여 이루어지는 것을 특징으로 하는 PCB 모듈의 양면 몰딩 방법.

【청구항 2】

제1항에 있어서, 상기 범퍼가 부착된 웨이퍼 레벨 패키지는 상부 케비티 및 하부 케비티 사이에 위치하는 것을 특징으로 하는 PCB 모듈의 양면 몰딩 방법.

【청구항 3】

제1항에 있어서, 상기 컬부에 잔류한 에폭시 몰딩 컴파운드를 제거한 후 상기 하부 게이트 및 상부 게이트에 잔류한 에폭시 몰딩 컴파운드를 제거하는 것을 특징으로 하는 PCB 모듈의 양면 몰딩 방법.

【청구항 4】

제3항에 있어서, 상기 컬부에 인접한 상기 하부 게이트 및 상부 게이트에 잔류한 에폭시 몰딩 컴파운드는 지그를 이용하여 기계적으로 제거하는 것을 특징으로 하는 PCB 모듈의 양면 몰딩 방법.

【청구항 5】

제3항에 있어서, 상기 하부 게이트 및 상부 게이트에 해당하는 PCB의 일측면에 테이프가 부착된 PCB 모듈을 마련하고, 상기 하부 게이트 및 상부 게이트에 잔류한 에폭시 몰딩 컴파운드는 상기 테이프를 떼어냄으로써 제거하는 것을 특징으로 하는 PCB 모듈의 양면 몰딩 방법.

【청구항 6】

제1항에 있어서, 상기 하부 게이트 및 상부 게이트에 해당하는 PCB의 일측면의 두께가 나머지 본체 두께보다 낮은 PCB 모듈을 마련하고, 상기 하부 게이트 및 상부 게이트에 잔류한 에폭시 몰딩 컴파운드는 제거하지 않는 것을 특징으로 하는 PCB 모듈의 양면 몰딩 방법.

【청구항 7】

PCB 상에 범퍼가 부착된 웨이퍼 레벨 패키지를 실장한 PCB 모듈이 위치하고, 에폭시 몰딩 컴파운드가 채워지는 상부 케비티와 에폭시 몰딩 컴파운드의 주입 통로 역할을 수행하는 상부 게이트를 포함하는 상부 몰드; 및

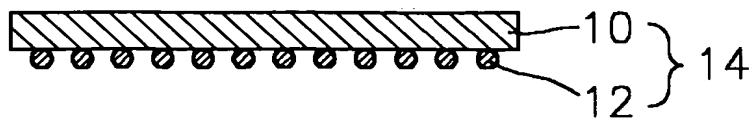
상기 상부 몰드의 하부에 PCB 상에 범퍼가 부착된 웨이퍼 레벨 패키지를 실장한 PCB 모듈이 위치하고, 에폭시 몰딩 컴파운드가 채워지는 하부 케비티와 상기 에폭시 몰딩 컴파운드의 주입 통로 역할을 수행하는 하부 게이트를 포함하는 하부 몰드를 포함하여 이루어지는 것을 특징으로 하는 몰드.

【청구항 8】

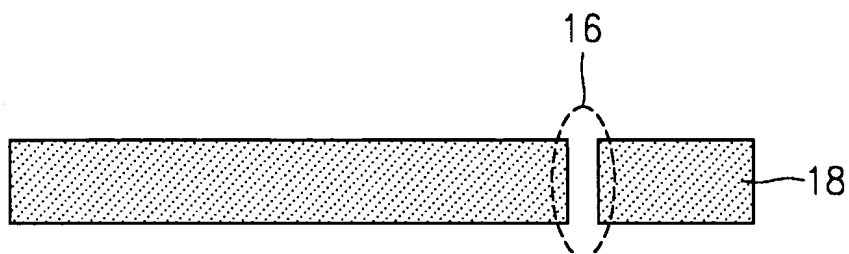
제7항에 있어서, 상기 상부 게이트 및 하부 게이트에 인접한 상기 상부 몰드 및 하부 몰드의 일측에는 에폭시 몰딩 컴파운드가 주입되는 컬부가 위치하는 것을 특징으로 하는 몰드.

【도면】

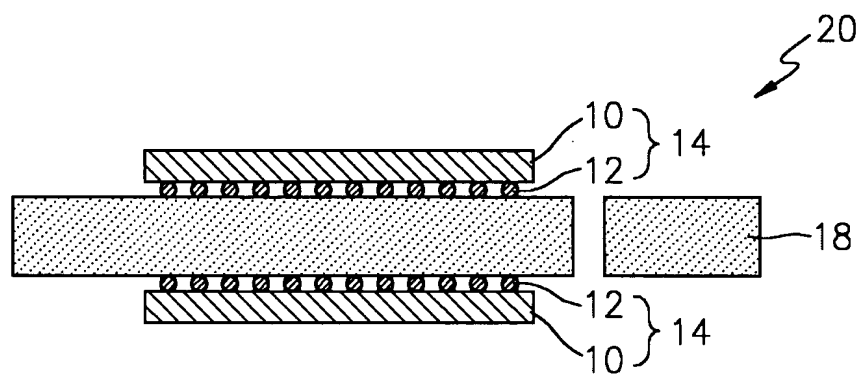
【도 1】



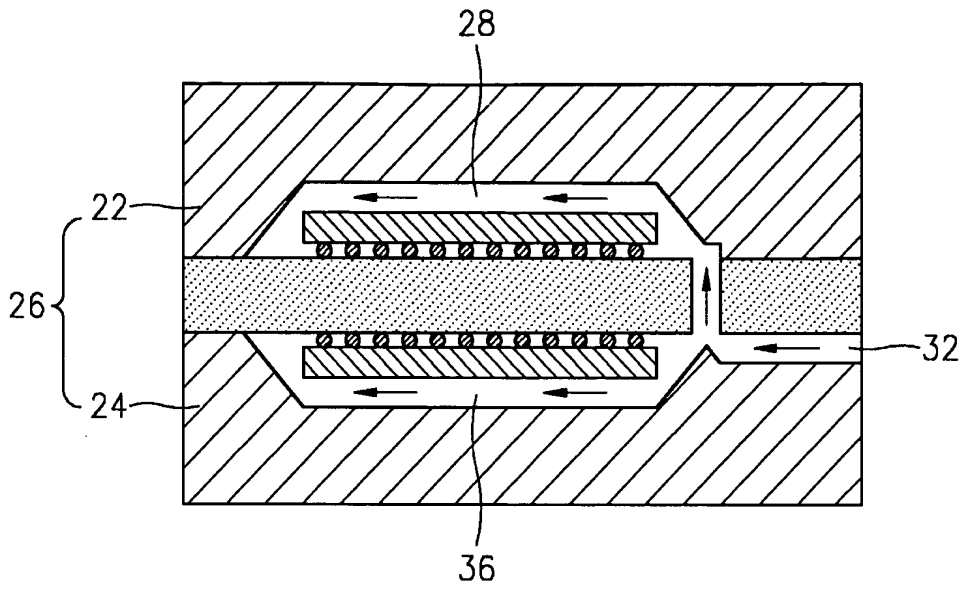
【도 2】



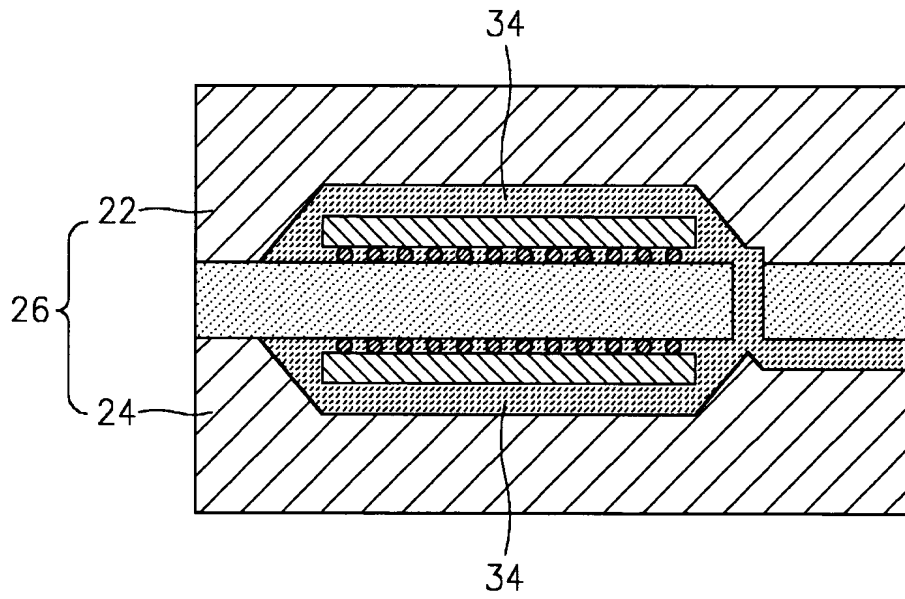
【도 3】



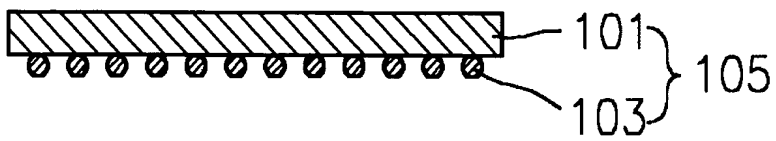
【도 4】



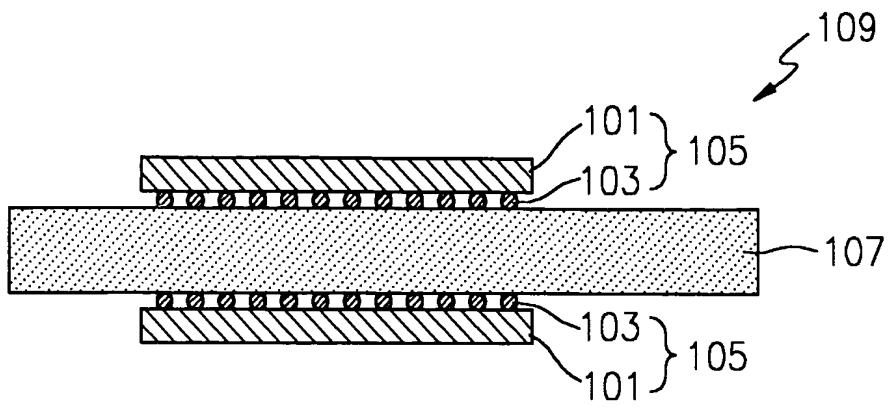
【도 5】



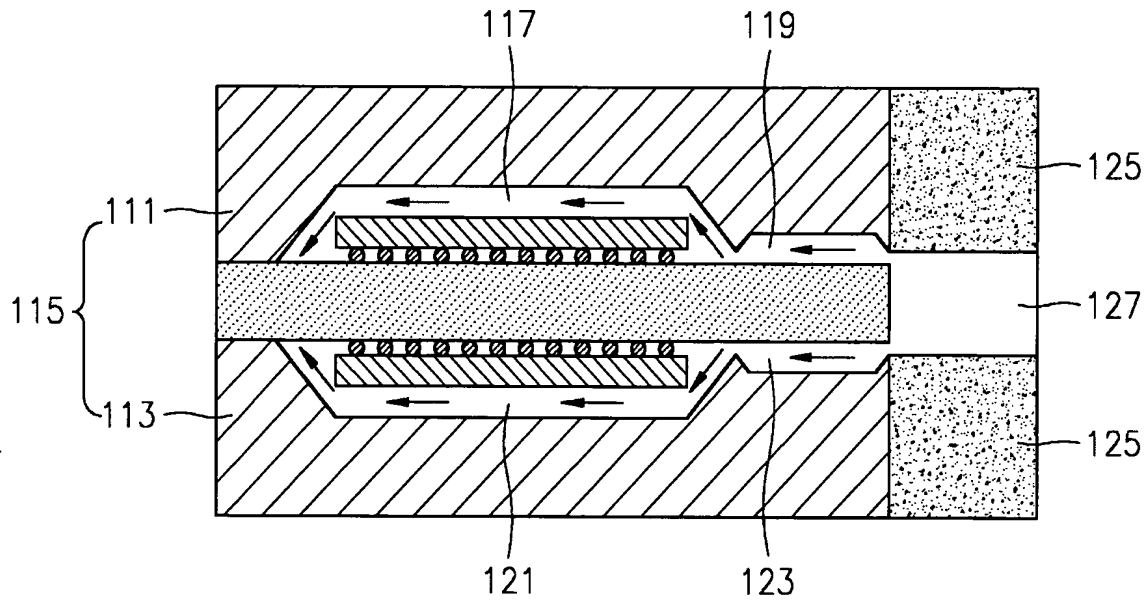
【도 6】



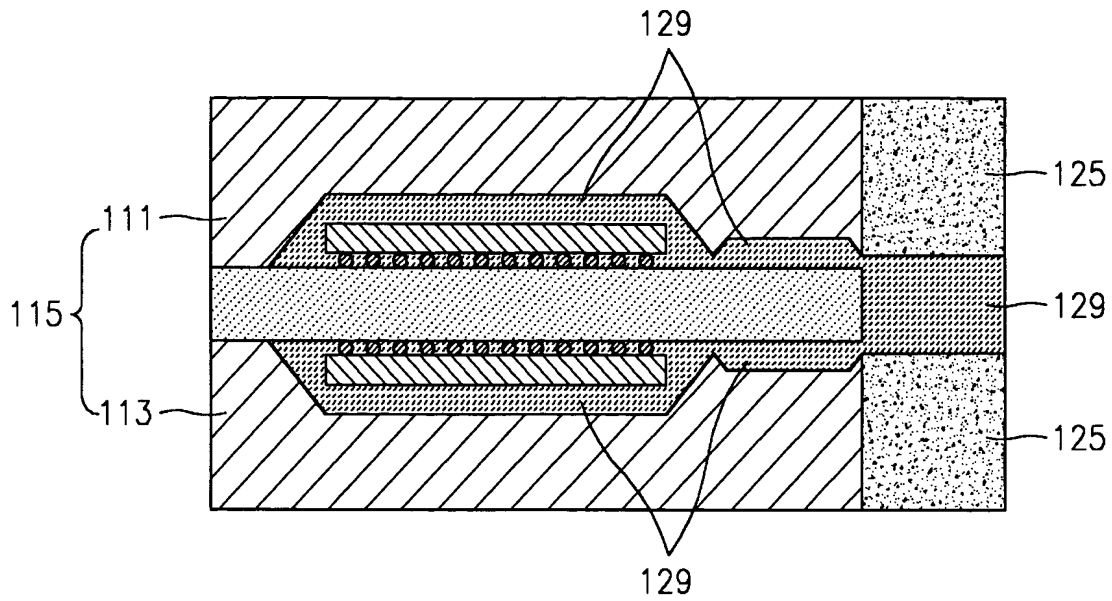
【도 7】



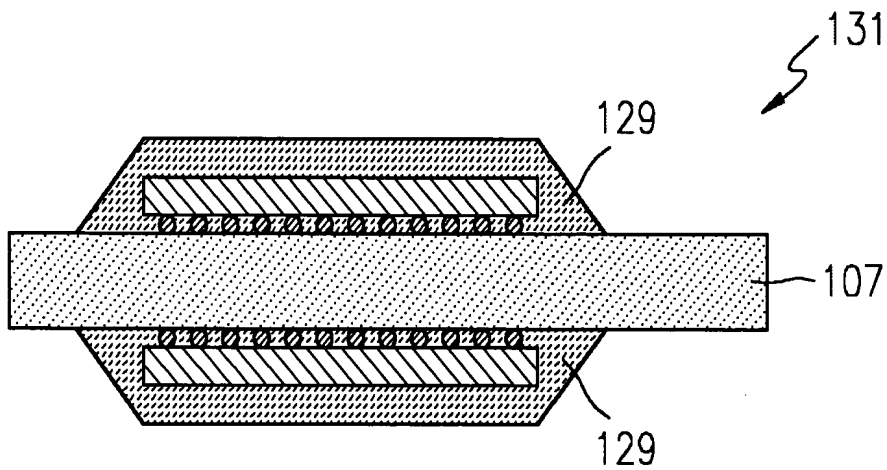
【도 8】



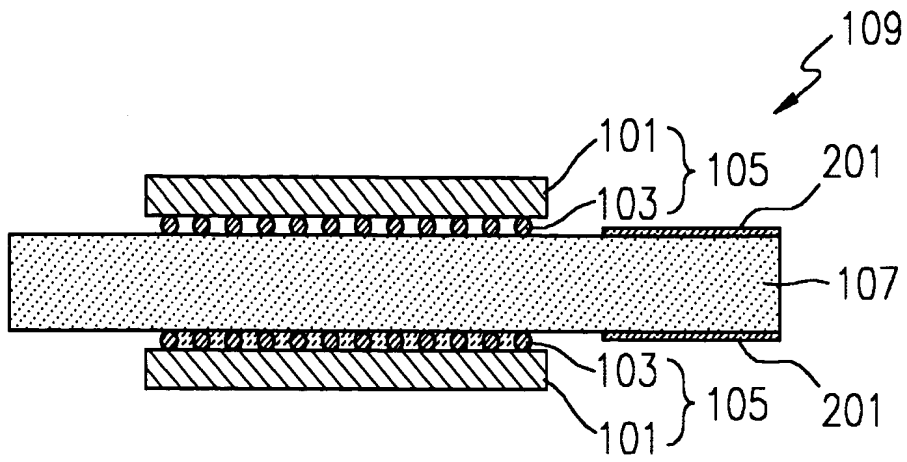
【도 9】



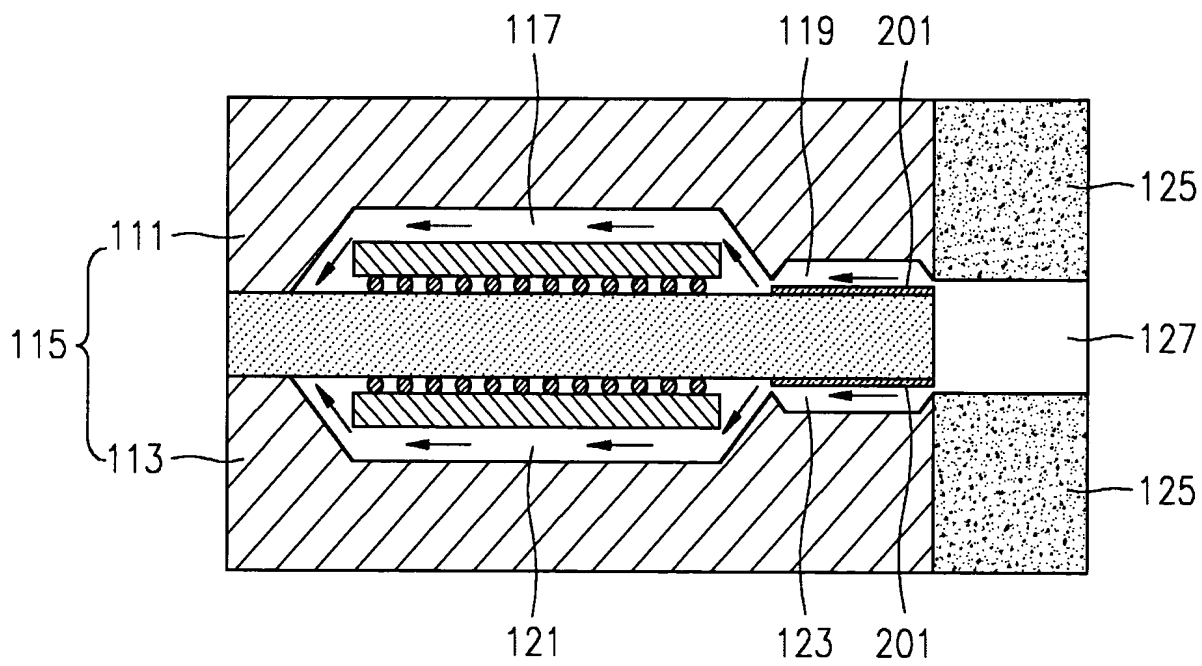
【도 10】



【도 11】



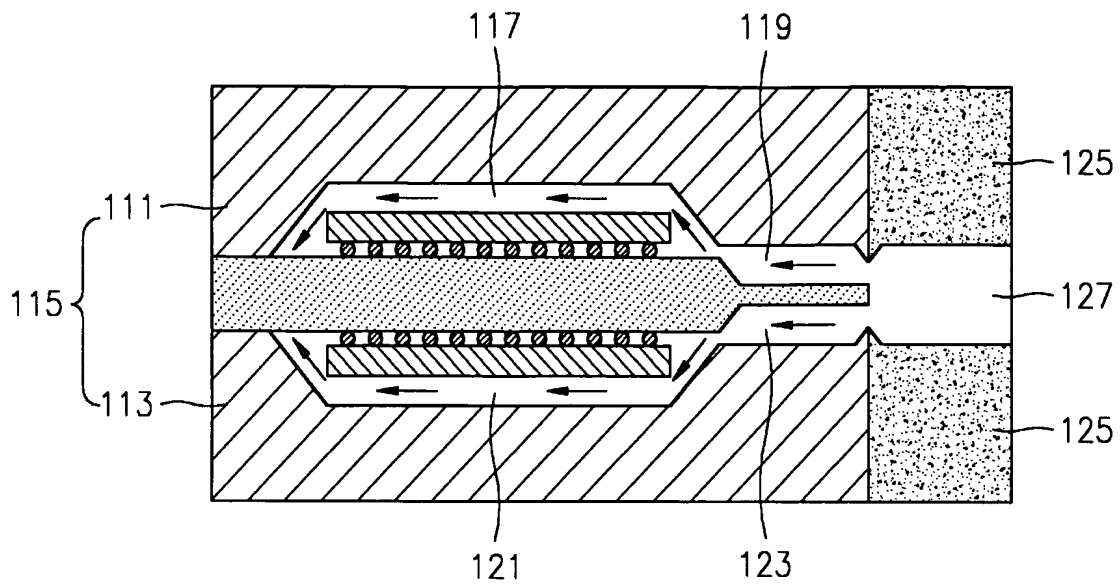
【도 12】



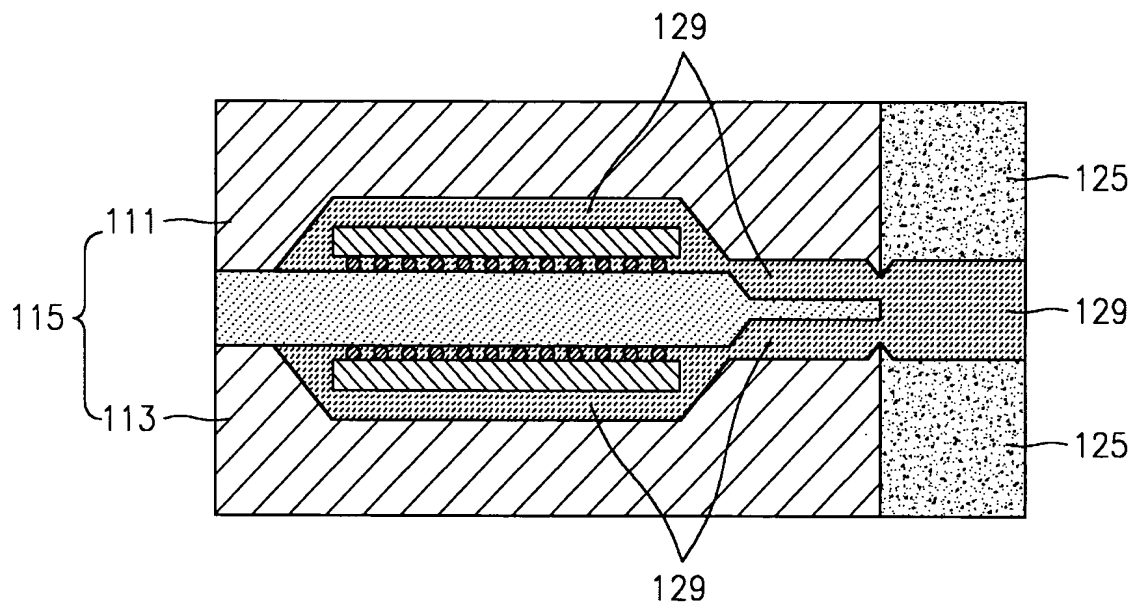
A cross-sectional view of a semiconductor device. The device consists of a central channel 115 flanked by regions 111 and 113. The channel 115 contains a layer 129 and a layer 201. The regions 111 and 113 contain a layer 129 and a layer 201. The device is surrounded by a substrate 125.

A cross-sectional view of a semiconductor device 109. The device features a central substrate 107 with a tapered end 301. On the top and bottom surfaces of the substrate, there are layers 101 and 103, which are collectively labeled as 105. A layer 109 is shown above the top layer 101. A layer 301 is shown on the tapered end of the substrate 107.

【도 15】



【도 16】



【도 17】

